

III.1 Introduction :

Dans le chapitre précédent nous avons fait un revus sur les amplificateurs OTA, en général, ce chapitre focalise sur l'Ota du type Miller, vu leur simplicité, c'est amplificateur qui sera conçu et optimisé. On focalise sur leur architecture, leurs équations de fonctionnement et les caractéristiques qui influents sur leur fonctionnement.

III.2 Plan de conception de l'OTA Miller :

Schéma électrique :

Le circuit amplificateur opérationnel de transconductance (OTA) de Miller est représenté sur la figure III. 1.

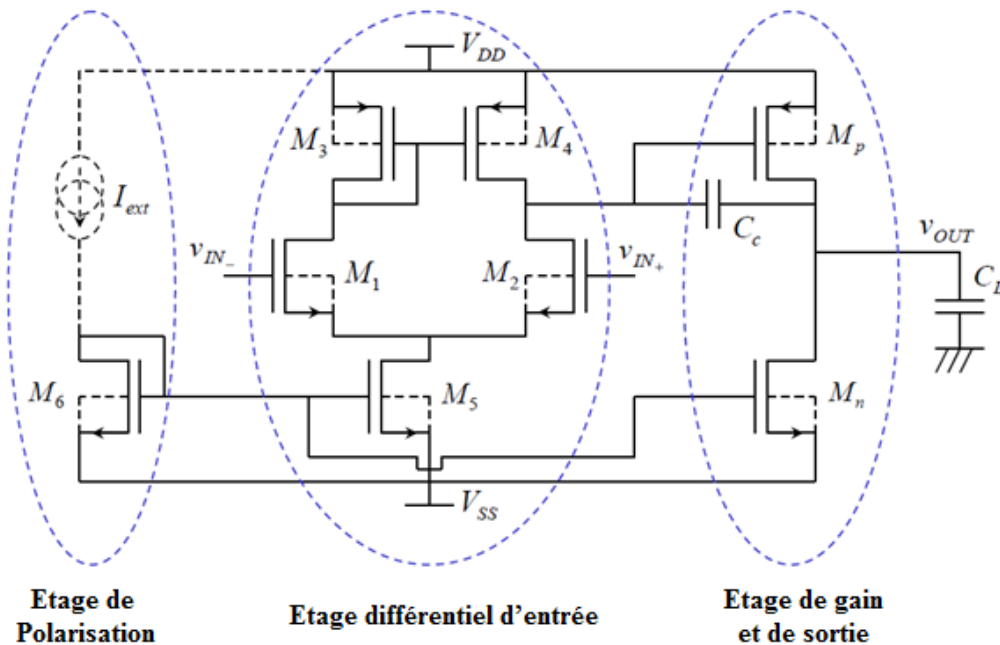


Figure III.1 : 1 OTA Miller.

L'étage différentiel d'entrée permet de rejeter le mode commun et de commencer à amplifier le mode différentiel [20]. L'étage de gain permet d'achever l'amplification du mode différentiel. Ici, il sert aussi d'étage de sortie. L'étage de polarisation permet de polariser par l'injection d'un seul courant externe les deux étages de l'OTA. Enfin, la capacité C_c permet de compenser l'OTA pour que sa marge de phase soit de 670.

III.3 Jeu de caractéristiques d'un OTA Miller :

La conception d'un amplificateur opérationnel (OTA Miller) demande d'établir au préalable le jeu d'équations liant les caractéristiques de l'amplificateur aux dimensions et courants de polarisation du circuit [20].

L'expérience montre qu'un jeu de caractéristiques suffisant peut-être le suivant :

- Dynamique d'entrée en mode commun : [CMR-, CMR+]
- Dynamique de sortie : [OUT-, OUT+]
- Offset : Voff
- Gain statique (différentiel) : Av0
- Produit gain-bande passante : GBW
- Marge de phase : PM
- Slew rate : SR
- Charge : CL

III.3.1 Dynamique d'entrée en mode commun :

Elle est déterminée par la dynamique d'entrée en mode commun de l'étage différentiel On a :

$$CMR_- = V_{ss} + V_{Tn} + \sqrt{\frac{I_5}{K P_n \cdot W_1 / L_1}} + \sqrt{\frac{2 \cdot I_5}{K P_n \cdot W_5 / L_5}} \quad (III .1)$$

$$CMR_+ = V_{DD} + V_{Tp} + V_{Tn} - \sqrt{\frac{I_5}{K P_p \cdot \frac{W_3}{L_3}}} \quad (III .2)$$

III.3.2 Dynamique de sortie :

Elle est déterminée par la dynamique de sortie de l'étage de gain (qui sert aussi d'étage de sortie) [21]. On a :

$$OUT_- = \sqrt{\frac{2 \cdot I_n}{K P_n \cdot W_n / L_n}} + V_{ss} \quad (III .3)$$

$$OUT_+ = V_{DD} - \sqrt{\frac{2 \cdot I_n}{K P_p \cdot \frac{W_p}{L_p}}} \quad (III .4)$$

III.3.3 Offset :

L'offset de l'OTA se divise en un offset systématique et un offset aléatoire.

L'offset systématique : provient d'un décalage entre le point de polarisation en sortie de l'étage différentiel et le point de basculement (de polarisation en entrée) de l'étage de gain. Cet offset peut donc être annulé en équilibrant correctement les deux étages[18].

L'offset aléatoire : provient, quand lui, des dispersions dans les paramètres électriques des composants intégrés (deux transistors de mêmes dimensions n'auront pas les mêmes caractéristiques). En considérant chaque source de dispersion, on peut établir une expression de cet offset aléatoire. Néanmoins, cet offset ne peut pas être s'annuler. Tout au plus, on peut le minimiser en dessinant correctement les masques du circuit et en jouant sur les dimensions des transistors. Typiquement, un OTA en technologie CMOS présente un offset de 10mv. Pour descendre en dessous, il est nécessaire d'utiliser des techniques de compensation actives (ou de trier les circuits produits !).

III.3.3.1 Offset systématique :

Le point de fonctionnement en sortie de l'étage différentiel est donné par :

$$V_{OUT_0} = V_{DD} + V_{TP} - \sqrt{\frac{I_5}{K P_p \cdot \frac{W_3}{L_3}}} \quad (\text{III .5})$$

D'autre part, le point de fonctionnement en entrée de l'étage de gain est déterminé par le courant de polarisation I_n et W_p/L_p . Il vaut :

$$V_{IN_0} = V_{DD} + V_{TP} - \sqrt{\frac{2 \cdot I_n}{K P_p \cdot \frac{W_p}{L_p}}} \quad (\text{III .6})$$

Ainsi, l'offset systématique sera nul si :

$$V_{IN_0} = V_{OUT_0} \Rightarrow \sqrt{\frac{I_5}{K P_p \cdot W_3/L_3}} = \sqrt{\frac{2 \cdot I_n}{K P_p \cdot W_p/L_p}} \Rightarrow I_n = \frac{W_p/L_p}{W_3/L_3} \cdot \frac{I_5}{2} \quad (\text{III .7})$$

III.3.3.2 Offset aléatoire :

Les dispersions des caractéristiques affectent aussi bien l'étage différentiel que l'étage de gain. Néanmoins, si des dispersions ont lieu sur l'étage de gain, entraînant un décalage de son point de basculement (de son point de fonctionnement en entrée), l'effet en termes de tension d'offset ramenée à l'entrée sera divisé par le gain de l'étage différentiel. Par exemple, le point de basculement de l'étage de gain peut être décalé de 5mv par rapport au point de polarisation en sortie de l'étage différentiel (supposé parfait); l'offset en entrée ne sera que de $5/100=50\text{mv}$ si le gain de l'étage différentiel est de 100.

Les principales dispersions à considérer sont :

ΔV_{TH} : Dispersions sur les tensions de seuil

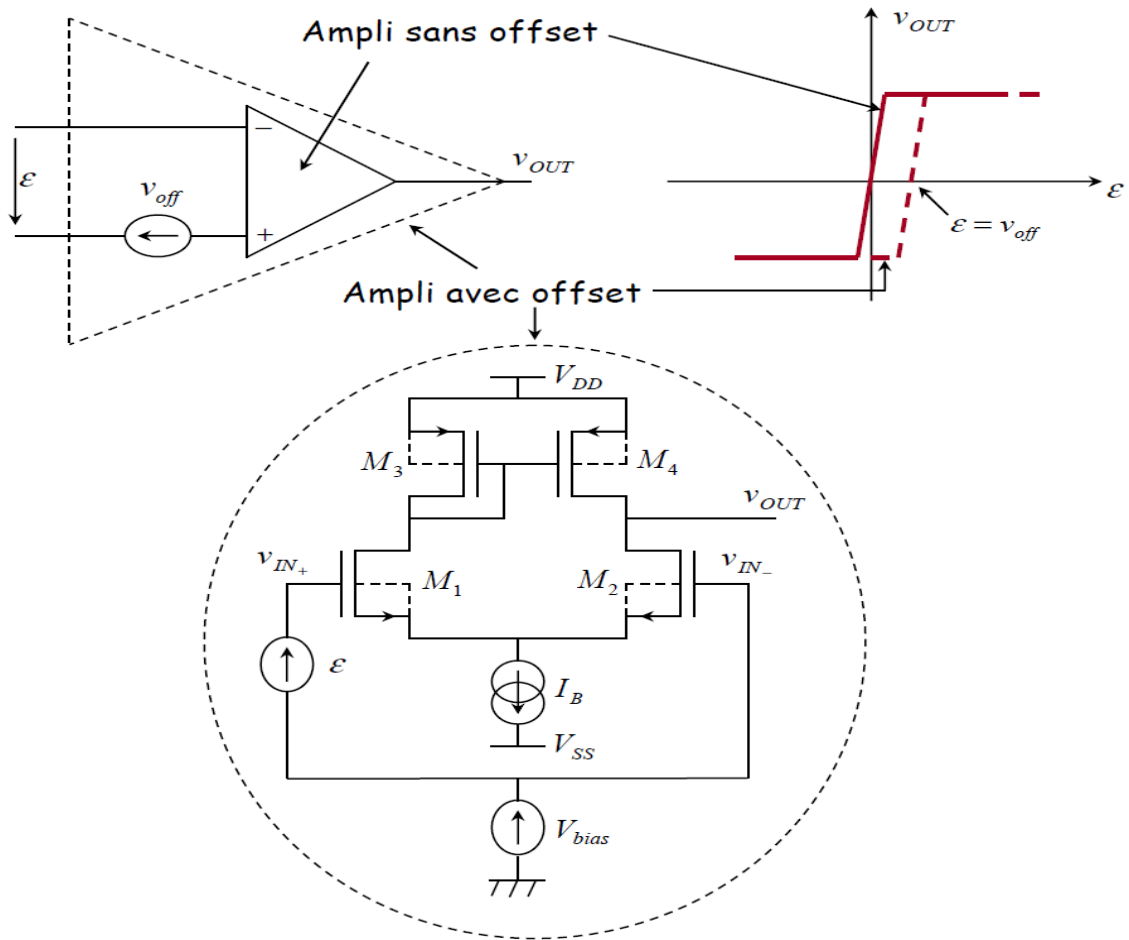
$\Delta\left(\frac{W}{L}\right)$: Dispersions sur les dimensions

$\Delta\lambda$: Dispersions sur la conductance de sortie

ΔKP : Dispersions sur le paramètre de transconductance[20].

Ces dispersions affectent aussi bien les transistors d'entrée M_1 et M_2 que les transistors de charge active M_3 et M_4 .

Convention :



III.3.3.2.1 Offset dû à des dispersions dans la paire différentielle d'entrée M_1/M_2 :

✓ **Offset dû à un ΔV_{TH} :**

On suppose :

$$\Delta V_{Tn} = V_{Tn2} - V_{Tn1} \Rightarrow V_{Tn2} = V_{Tn} \text{ et } V_{Tn1} = V_{Tn} - \Delta V_{Tn} \quad (\text{III .8})$$

$$I_1 = \frac{1}{2} \cdot KP_n \cdot \frac{W_1}{L_1} \cdot (V_{GS0} + \varepsilon - V_{Tn} + \Delta V_{Tn})^2 = \frac{1}{2} \cdot KP_n \cdot \frac{W_1}{L_1} \cdot (V_{GS0} - V_{Tn})^2 \quad (\text{III .9})$$

Si $\varepsilon = v_{off}$

$$v_{off} = -\Delta V_{Tn}$$

✓ Offset dû à un ΔKP_n :

$$KP_1 = KP_n - \Delta KP_n \Rightarrow i_{ds} = -\frac{\Delta KP_n}{KP_n} \cdot \frac{I_B}{2} \Rightarrow v_{off} = \frac{\frac{\Delta KP_n}{KP_n} \cdot \frac{I_B}{2}}{\sqrt{2 \cdot KP_n \cdot \frac{W_1}{L_1} \cdot \frac{I_B}{2}}} \quad (III.10)$$

✓ Offset dû à un $\Delta(W/L)$:

$$\frac{W_1}{L_1} = \frac{W}{L} - \Delta \left(\frac{W}{L} \right) = \frac{W}{L} - \frac{\Delta W}{L} - \frac{W \cdot \Delta L}{L^2} = \frac{W}{L} \cdot \left(1 - \frac{\Delta W}{W} - \frac{\Delta L}{L} \right)$$

$$\Rightarrow i_{ds} = -\frac{\Delta \left(\frac{W}{L} \right)}{\frac{W}{L}} \cdot \frac{I_B}{2} \quad (III.11)$$

$$v_{off} = \frac{\left(\frac{\Delta W}{W} - \frac{\Delta L}{L} \right) \cdot \frac{I_B}{2}}{\sqrt{2 \cdot KP_n \cdot \frac{W}{L} \cdot \frac{I_B}{2}}} = \frac{\left(\frac{\Delta W}{W} - \frac{\Delta L}{L} \right) \cdot \frac{I_B}{2}}{\frac{2 \cdot I_B / 2}{V_{GS0} - V_{Tn}}} = \frac{\left(\frac{\Delta W}{W} - \frac{\Delta L}{L} \right) \cdot (V_{GS0} - V_{Tn})}{2} \quad (III.12)$$

III.3.3.2.2 Offset dû à des dispersions dans la charge active M_3/M_4 :

Par un raisonnement identique, on obtient :

$$v_{off} = \frac{g_{m3}}{g_{m1}} \cdot \Delta V_{T_P} - \frac{\frac{I_B}{2}}{g_{m1}} \cdot \left[\frac{\Delta KP_P}{KP_P} + \left(\frac{\Delta W_3}{W_3} - \frac{\Delta L_3}{L_3} \right) - \Delta \lambda_p \cdot V_{GS_{p0}} \right] \quad (III.13)$$

Le premier terme demande de minimiser le rapport $gm3/gm1$. Attention, si $gm2 > gm1$ la dispersion sur les tensions de seuil des transistors PMOS peut devenir le terme prépondérant de l'offset. Le deuxième terme, tout comme le premier, demande d'augmenter $gm1$ (par une augmentation de W_1/L_1), de diminuer I_B , i.e., de diminuer $V_{GS0} - V_{Tn}$ [21].

III.3.3.2.3 Expression générale de l'offset aléatoire :

$$v_{off} = -\Delta V_{Tn} + \frac{g_{m3}}{g_{m1}} \cdot \Delta V_{T_P} + \frac{\frac{I_B}{2}}{g_{m1}} \cdot \left[\frac{\Delta KP_n}{KP_n} - \frac{\Delta KP_P}{KP_P} + \left(\frac{\Delta W_1}{W_1} - \frac{\Delta L_1}{L_1} \right) - \left(\frac{\Delta W_3}{W_3} - \frac{\Delta L_3}{L_3} \right) + \Delta \lambda_n \cdot V_{DS_{n0}} + \Delta \lambda_p \cdot V_{GS_{p0}} \right] \quad (III.14)$$

III.3.4 Gain statique :

Il est donné par le produit du gain statique de l'étage différentiel, AV_1 avec celui de l'étage de sortie, AV_2 . On a :

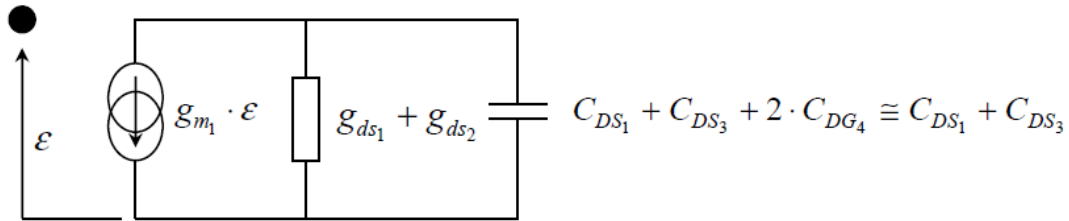
$$A_{v1} = -\frac{g_{m1}}{g_{ds1} + g_{ds1}} \quad \text{et} \quad A_{v2} = -\frac{g_{mp}}{g_{dsn} + g_{dsp}} \quad (III.15)$$

$$A_{v0} = \frac{g_{m1}}{g_{ds1} + g_{ds3}} \cdot \frac{g_{mp}}{g_{dsn} + g_{dsp}} = \frac{\sqrt{KP_n \cdot \frac{W_1}{L_1} \cdot I_5}}{\frac{I_5}{2} \left(\frac{1}{V_{En} L_1} + \frac{1}{V_{Ep} L_3} \right)} \cdot \frac{\sqrt{2 \cdot KP_p \cdot \frac{W_p}{L_p} \cdot I_n}}{\frac{I_n}{2} \left(\frac{1}{V_{En} L_n} + \frac{1}{V_{Ep} L_p} \right)} \quad (III.16)$$

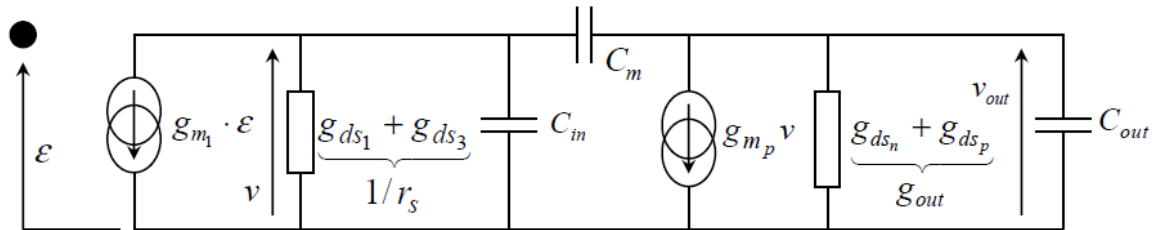
III.3.5 Produit gain-bande passante :

Comportement fréquentiel de l'OTA :

L'OTA comporte 3 nœuds, le nœud de sortie, le nœud en sortie de l'étage différentiel et le nœud sur le drain de M_1 (les résistances des sources V_{IN+} et V_{IN-} sont négligeables si bien qu'il n'y a pas lieu de considérer les pôles dûs aux nœuds d'entrée) [23]. L'étude de l'étage différentiel seul nous a montré que le pôle dû au troisième nœud est très éloigné car la capacité à ce nœud voit une impédance de $1/gm_3$. Ainsi, seuls deux nœuds restent en jeu pour déterminer le pôle dominant et le pôle non dominant. D'un point de vue petits signaux, l'étage différentiel peut donc se modéliser par :



En rajoutant le schéma équivalent petits signaux de l'étage de sortie, on obtient comme schéma pour l'OTA [20]:



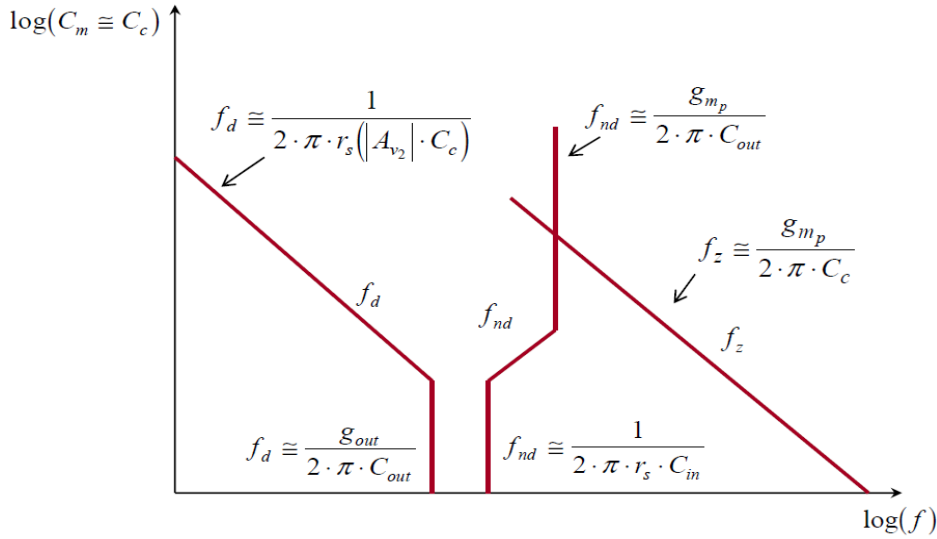
$$C_{in} \cong C_{DS1} + C_{DS3} + C_{GS_p}, \quad C_{out} = C_{DS_p} + C_{DG_n} + C_{DS_n} + C_L \quad \text{et} \quad C_m = C_{DG_p} + C_c$$

C'est le même schéma que pour une étage amplificateur classique à charge active en remplaçant vin par $-gm_1 \cdot e / (g_{ds1} + g_{ds2})$. Le calcul de la fonction de transfert donne donc :

$$A_v = A_{v_0} \cdot \frac{1 - s \cdot \frac{C_m}{g_{m_p}}}{1 + \left[r_s \cdot (C_m + M \cdot C_m) + \frac{C_{out}}{g_{out}} \right] \cdot s + \frac{r_s}{g_{out}} \underbrace{(C_m \cdot C_m + C_m \cdot C_{out} + C_m \cdot C_{out})}_{C^2} \cdot s^2}$$

$$M = 1 + \frac{1}{r_s \cdot g_{out}} - A_{v_2} \cong -A_{v_2} \quad (\text{III.17})$$

Le calcul des pôles en fonction de la capacité de compensation fournit alors le diagramme suivant :



En général, la marge de phase de 67° nécessite une capacité de Compensation assez élevée. On aura donc :

$$f_d \cong \frac{1}{2\pi r_s (|A_{v2}| \cdot C_c)} \Rightarrow GBW = A_{v1} \cdot A_{v2} \cdot f_d = \frac{g_{m1}}{2\pi \cdot C_c} \quad (\text{III .18})$$

$$f_{nd} \cong \frac{g_{mp}}{2\pi \cdot C_{out}} \cong \frac{g_{mp}}{2\pi \cdot C_L} \quad \text{et} \quad f_z \cong \frac{g_{mp}}{2\pi \cdot C_c} \quad (\text{III .19})$$

III.3.6 Marge de phase :

Elle est donnée par (attention, il y a un zéro positif) [21] :

$$PM = 180^\circ - \underbrace{\text{Arctg}\left(\frac{GBW}{f_d}\right) - \text{Arctg}\left(\frac{GBW}{f_{nd}}\right)}_{\cong 90^\circ} - \text{Arctg}\left(\frac{GBW}{f_z}\right)$$

$$PM \cong 90^\circ - \text{Arctg}\left(\frac{GBW}{f_{nd}}\right) - \text{Arctg}\left(\frac{GBW}{f_z}\right) \quad (\text{III .20})$$

On a tout intérêt à maintenir le zéro positif loin du GBW pour minimiser son influence sur la marge de phase. Si l'on choisit de le placer à 10xGBW, il ne réduira la marge de phase que de $\text{arc tg}(1/10) = 5,7^\circ$. D'autre part, si l'on choisit de placer le pôle non dominant à 3xGBW, ce dernier réduira la marge de phase de $\text{arc tg}(1/3) = 18,5^\circ$ seulement. Ainsi, la $PM = 90 - 18,5 - 5,7 \gg 67^\circ$

On choisi $f_z \geq 10 \cdot GBW$ et $f_{nd} \geq 3 \cdot GBW$

$$\left. \begin{aligned} f_z = \frac{g_{mp}}{2\pi \cdot C_c} &= 10 \cdot GBW \\ f_z = \frac{g_{mp}}{2\pi \cdot C_L} &= 3 \cdot GBW \end{aligned} \right\} \Rightarrow 10 \cdot C_c = 3 \cdot C_L \Rightarrow C_c = \frac{3}{10} \cdot C_L \quad (\text{III .21})$$

$$\text{Ainsi, pour } C_c \geq \frac{3}{10} \cdot C_L \Leftrightarrow \frac{1}{C_L} \geq \frac{3}{10} \cdot \frac{1}{C_c} \Leftrightarrow \frac{g_{mp}}{C_L} \geq \frac{3}{10} \cdot \frac{g_{mp}}{C_c}$$

Il suffira de choisir g_{m_p} assez grand de telle sorte que $f_z = \frac{g_{m_p}}{2\pi \cdot C_c} \geq 10 \cdot GBW$
pour avoir $f_{nd} = \frac{g_{m_p}}{2\pi \cdot C_L} \geq \frac{3}{10} \cdot \frac{g_{m_p}}{2\pi \cdot C_c} \geq 3 \cdot GBW$

III.3.7 Slew-rate :

Il représente la vitesse maximale à laquelle varie la tension de sortie pour une attaque de L'amplificateur opérationnel en larges signaux. Deux cas sont à considérer selon que la sortie décroît ou croît.

6-a) Slew-rate à la descente SR- :

On suppose que simultanément, l'entrée négative passe brusquement de V_{SS} à V_{DD} et l'entrée ainsi que M_4 . Aucun courant ne passe dans les deux branches de l'étage différentiel. Le potentiel sur le drain de M_5 est nul ($I_5=0$) ainsi que sur le drain de M_2 (sinon il y aurait un courant dans M_2). M_p est donc passant avec un $|V_{GS}|$ de $V_{DD}-V_{SS}$ et V_{OUT} est proche de V_{DD} pour placer M_p en linéaire de telle sorte que $I_p=I_N$ [22].

Les changements brusques à l'entrée rendent passant M_1 et bloqué ent M_2 . Rapidement M_5 passe en saturation et délivre le courant I_5 qui passe entièrement dans la branche M_1/M_3 . Le potentiel M_{GP} sur la grille de M_p monte très rapidement et se positionne de telle sorte que le courant I_n constant passe dans M_p . Pendant que V_{GP} monte, V_{OUT} descend légèrement (de la tension de saturation de M_p) pour rendre M_p saturé. Ainsi :

$$V_{GP} = V_{DD} + V_{TP} + \sqrt{\frac{2 \cdot I_n}{K_{Pp} \cdot W_P / L_P}} = cste \quad (III .22)$$

M_4 laisse passer le même courant que M_3 , i.e. I_5 . Or M_2 est bloqué et $V_{GSp} = cste$. Ce courant ne peut donc que s'écouler à travers C_c :

$$I_5 = C_c \cdot \frac{d(V_{GP} - V_{OUT})}{dt} = -C_c \frac{dV_{OUT}}{dt} \Rightarrow SR = \frac{dV_{OUT}}{dt} = -\frac{I_5}{C_c} \quad (III .23)$$

6-b) Slew-rate à la montée SR+ :

De la même manière, on montre que :

$$SR_+ = \frac{I_5}{C_c} \quad (III .24)$$

III.3.8 Charge :

Il est important de fournir dans les spécifications de l'amplificateur opérationnel la charge que ce dernier verra. Beaucoup d'expressions que nous avons établies dépendent de CL.

Lorsque l'amplificateur est conçu spécifiquement pour une application à l'intérieur d'un ASIC, on connaît parfaitement la charge à laquelle il sera soumis. On le dimensionne alors juste pour cette charge. Généralement, ceci permet de limiter la consommation à ce qui est strictement nécessaire[20].

En revanche si l'amplificateur opérationnel est conçu pour plusieurs applications, il faudra tenir compte de la charge maximale qu'il pourra supporter.

Enfin, si cette charge est résistive, il faut en tenir compte correctement pour que l'étage de sortie puisse fournir le courant à la charge.

Les caractéristiques d'un amplificateur opérationnel ne sont valables que pour une charge, ou une charge maximale donnée.

III.4 Résumé et jeu d'équations de premier dimensionnement :

Dynamique d'entrée en mode commun :

$$CMR_- = V_{ss} + V_{Tn} + \sqrt{\frac{I_5}{KP_n \cdot W_1/L_1}} + \sqrt{\frac{2 \cdot I_5}{KP_n \cdot W_5/L_5}}$$

$$CMR_+ = V_{DD} + V_{Tp} + V_{Tn} - \sqrt{\frac{I_5}{KP_p \cdot \frac{W_3}{L_3}}}$$

Dynamique de sortie :

$$OUT_- = \sqrt{\frac{2 \cdot I_n}{KP_n \cdot W_n/L_n}} + V_{ss}$$

$$OUT_+ = V_{DD} - \sqrt{\frac{2 \cdot I_n}{KP_p \cdot W_p/L_p}}$$

Offset systématique :

$$I_n = \frac{W_p/L_p}{W_3/L_3} \cdot \frac{I_5}{2}$$

Slew-rate :

$$SR_+ = \frac{I_5}{C_c}$$

Gain statique :

$$A_{v_1} = -\frac{g_{m_1}}{g_{ds_1} + g_{ds_3}} = -\frac{\sqrt{KP_n \cdot \frac{W_1}{L_1} \cdot I_5}}{\frac{I_5}{2} \left(\frac{1}{V_{E_n} L_1} + \frac{1}{V_{E_p} L_3} \right)}$$

$$A_{v_2} = -\frac{g_{m_p}}{g_{ds_n} + g_{ds_p}} = -\frac{\sqrt{2 \cdot KP_p \cdot \frac{W_p}{L_p} \cdot I_n}}{\frac{I_n}{2} \left(\frac{1}{V_{E_n} L_n} + \frac{1}{V_{E_p} L_p} \right)}$$

Produit gain-bande passante :

$$GBW = \frac{g_{m_1}}{2 \cdot \pi \cdot C_c}$$

$$\text{Et : } f_{nd} \cong \frac{g_{m_p}}{2 \cdot \pi \cdot C_L} \quad \text{et : } f_z \cong \frac{g_{m_p}}{2 \cdot \pi \cdot C_c} \quad \text{et : } C_c = \frac{3}{10} \cdot C_L$$

III.5 CONCLUSION :

Dans ce chapitre nous avons présenté les équations qui englobent l'amplificateur opérationnel de transconductance OTA Miller, toutes ces équations sont liées aux longueurs L et largeurs W des canaux des transistors MOS, puisque nous sommes intéressés à la conception de cet amplificateur, le choix des transistors MOS est l'étape la plus importante dans cette conception.

Le prochain chapitre sera consacré une étude de la conception, l'optimisation et la simulation du OTA Miller.